

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 62175993
 PUBLICATION DATE : 01-08-87

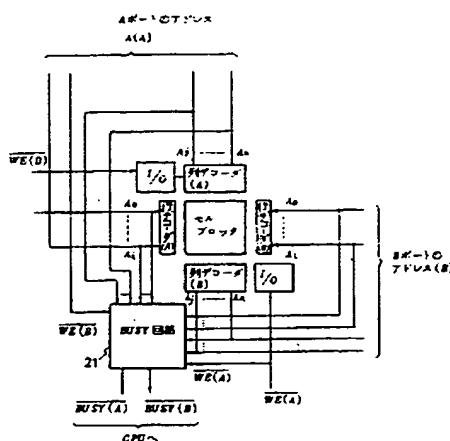
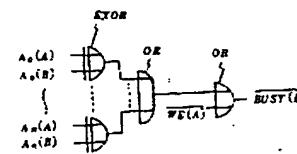
APPLICATION DATE : 29-01-86
 APPLICATION NUMBER : 61017516

APPLICANT : FUJITSU LTD;

INVENTOR : AOYAMA KEIZO;

INT.CL. : G11C 11/34 G11C 7/00

TITLE : MULTI-PORT MEMORY



ABSTRACT : PURPOSE: To prevent output data indetermination in case of competition of an access of plural ports, from being outputted to the outside, by selecting the same address by plural ports, and also, outputting a signal for inhibiting the read-out and write of other port, only in a period in which write is being executed to one of these ports.

CONSTITUTION: A circuit for supplying a BUSY bar (B) signal to a B port at the time of an address of a first arrival A port is write is constituted of an exclusive OR circuit (EXOR) of two inputs for inputting address signals Ao(A) and Ao(B)~An(A) of both A and B ports, an address coincidence detecting circuit consisting of an OR circuit for inputting their outputs, and an OR circuit for inputting its coincidence signal and a write signal WE(A) bar of the A port. As for this circuit, when outputs of both the A and B ports do not coincide with each other, an output BUSY bar (B) is always H, and only when the outputs of both the ports coincide, and also, the WE(A) bar is L, the output BUSY bar (B) becomes L. This BUSY bar (B) is applied to a CPU, and write and read-out operations of the B port are stopped.

COPYRIGHT: (C)1987,JPO&Japio

BEST AVAILABLE COPY

⑪ 公開特許公報 (A)

昭62-175993

⑤Int.Cl.⁴G 11 C 11/34
7/00

識別記号

3 1 1

府内整理番号

K-7230-5B
6549-5B

⑩公開 昭和62年(1987)8月1日

審査請求 未請求 発明の数 1 (全5頁)

⑪発明の名称 マルチポートメモリ

⑩特 願 昭61-17516

⑩出 願 昭61(1986)1月29日

⑦発明者 青山 廉三 川崎市中原区上小田中1015番地 富士通株式会社内

⑦出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑦代理人 弁理士 玉蟲 久五郎 外1名

明細書

1. 発明の名称

マルチポートメモリ

び読み出しを複数のポートから行なえるようにした
マルチポートメモリに関する。

2. 特許請求の範囲

マルチポートメモリにおいて、複数ポートが同一番地を選択しかつ該ポートの一つに書き込みが行なわれている期間のみ、他ポートの読み出し及び書き込みを禁止するための信号を出力する回路を有することを特徴とするマルチポートメモリ。

3. 発明の詳細な説明

(概要)

複数ポートが同一番地を選択しかつ一つのポートに書き込みが行なわれている期間のみ、他ポートの読み出し・書き込みを禁止するための信号を出力する機能を備えたマルチポートメモリ。

(産業上の利用分野)

本発明は半導体記憶装置に係り、特に書き込み及

(従来の技術)

従来の通常のRAMの構成は、マトリクス状のセルブロックと、そのブロック内を選択するための行デコードとコラムデコードを有し、それぞれの選択された行と列の交点の情報を出力に読み出したり、書き込んだりする。このRAMの入出力ポートは一つであり(シングルポートRAM)、入力/出力回路(I/O回路)で入力と出力の切換を行ない、データOUTを出力するか、或いはデータINの情報を書き込むかしている。

これに対して、複数のポートを持ち、メモリセルは共有し、それぞれのポートからメモリを独立にアクセスできる多ポートRAMが知られている。

従来の多ポートRAMを説明するにあたり、ここでは簡単のために、ポートが2つ、即ちデュアルポートRAMを例にとって説明する。

第5図に従来例1のデュアルポートRAMのメ

モリセル部分を示している。第5図において、セルは原則としてF/F(フリップフロップ)で構成される。これは、デュアルポートRAMではポートA, Bの両方から非同期にアクセスがかかるために読出しによって一時的にメモリセルが破壊される型のセル(例えば1トランジスタセル)は使用できない為である。

第5図において、51と指示するのがF/F型のスタティック・メモリセルであり、2つのポートをA, Bとして、それぞれのポートに対応する2つのワード線WLA, WLBと、2組のビット線BLA, BLBバー(BLAバー:BLAの反対位相の信号、以下同様に示す)及び、BLB, BLBバーとを有する。そして、Aポートに属するワード線WLAと、Bポートに属するワード線WLBにはそれぞれ独立にトランジスタゲートのトランジスタを設けている。

このように構成されているので、A, Bポートの各々のワード線を独立に選択することができ、各ポートに附属しているビットラインからセルに情報を書き込み或いはセルの情報を読出しがで

きる。

第6図に第5図のメモリ方式の全体図を示しており、セルブロックの両側にA及びBポートのアドレスデコーダ即ち、行デコーダ(A), 行デコーダ(B)、列デコーダ(A), 列デコーダ(B)を配置しており、それぞれのポートの列デコーダ(A), (B)には、I/O回路(A)及びI/O回路(B)が備えられている。そして、各行デコーダにはワードアドレス信号[A₀ ~ A_i(A)]または[A₀ ~ A_i(B)]が印加され、[I/O回路(A)]には書き込み信号(WE(A)バー)、データ入力(DIN(A))及びデータ出力(DOUT(A))が接続し、[I/O回路(B)]には書き込み信号(WE(B)バー)、データ入力(DIN(B))及びデータ出力(DOUT(B))が接続している。また、セルブロックのAポートのアドレスの列デコーダ(A)には、それぞれにAポートのコラムアドレス信号[A_j ~ A_n(A)]が与えられ、BポートのアドレスのコラムデコーダにはBポートのコラムアドレス信号(

A_j ~ A_n(B)が接続している。

ところが、特別の場合として、A, B両ポートが同一番地を選択する場合があり得る。この場合、両ポートが読出しモードであれば問題はないが、少なくとも一方が書き込みモードであると次の問題がおこる。

i) 両ポートとも書き込みの場合：互いに異なるデータを書き込む場合、セルの記憶情報が「不定」となる。

ii) 片方が書き込みの場合：A, B両ポートが同一番地を選択する場合を第7図の動作波形図に示している。図において、*で指示するのがA, B両ポートの選択番地が同一番地となった場合を表すものとする。第7図のように、一方のポート(ここではAポートとする)の書き込み信号(WE(A)バー)が「L」でAポートに与えられたアドレス[A(A)]にデータを書き込む場合、Aポートが書き込み中の期間(τ_1)、他方のBポートのアドレス[A(B)]のデータ出力(DOUT(B))は、書き込みデータの影響を受けるため「不定」

となる可能性がある。

そこで、従来例2として、第8図に示すように、前記の障害を回避するために、A, B両ポートのアクセスが一致した場合、その一方(例えば後者Bポート)に対して、A, B両ポートのアドレスが一致している τ_2 の期間、(BUSY(B)バー)信号を出力し、これを該ポートを制御するCPUに送って、該CPUの動作を一時停止(HALT)することが行なわれる。これによって、CPUの読出し動作も停止されるため、問題の期間(τ_1)の不定データがCPUに取り込まれることもなくなる。但し、この場合、両ポートのアドレスが一致している期間(τ_2)は、一方のCPUは動作停止されるため、システムの稼働率は当然低下し、これが新たな問題となる。

(発明が解決しようとする問題点)

そこで、本願発明は、従来のマルチポートメモリの欠点である、両ポートのアドレスが一致している期間(τ_2)は、一方のCPUは動作停止され

るため、システムの稼働率が当然低下するという問題点を解決しようとするものである。

(問題点を解決するための手段)

本願発明においては、複数ポートが同一番地を選択し、かつ該ポートの一つに書き込みが行なわれている期間のみ、他ポートの読出し・書き込みを禁止するための信号を出力する回路を備えたマルチポートメモリを提供する。

(作用)

本発明構成によれば、上記の複数ポートが同一番地を選択し、かつ一つのポートに書き込みが行なわれている期間のみCPU動作が停止されるので、従来より、システムの停止期間が短くでき、その稼働率を向上できる。

(実施例)

第1図に、本発明の概要を説明するための動作波形図を示している。第1図において、前記と記

号を統一しており、それぞれA (A)、A (B)と指示するのがAポート、Bポートのアドレス信号であり、[WE (A) バー]がAポートの書き込み信号、D IN (A)がAポートの書き込みデータ、D OUT (B)はBポートのデータ出力、BUSY (B)はAポート及びBポートが同一番地を指定(*印で表す)して、且つAポートが書き込みである時に出力する[BUSYバー (B)]信号である。そして、この[BUSYバー (B)]の期間 [τ_3]にCPUのBポートの読出し・書き込み動作を禁止するようにしたので、Bポートに不定なデータが出力することが防止される。

第2図に本発明の実施例の全体構成図を示している。第2図において、メモリセルの構造及び基本構成は先に説明した第5図及び第6図と同様であり、対応部分には同一符号で指示している。第2図において、第6図と相違するのは、BUSY回路21を備える点であり、該回路はA、B両ポートのアドレス信号A (A)、A (B)及びAポート及びBポートの書き込み信号[WE (A) バー]、[

[WE (B) バー]をその入力とし、A、B両ポートのアドレスが競合し、かつ何れかのポートが書き込みの時、[BUSYバー]信号を出力する。第3図に、BUSY回路の具体例を示している。第3図においては、先着Aポートのアドレスが書き込みのときBポートに[BUSYバー (B)]信号を供給する回路例を示しており、A、B両ポートのアドレス信号(A_0 (A) 及び A_0 (B))乃至(A_n (A) 及び A_n (B))を入力とする2入力の排他定OR回路(EXOR)と、それらの出力を入力とするOR回路とからなるアドレス不一致検出回路と、その不一致信号とAポートの書き込み信号[WE (A) バー]とを入力とするOR回路で構成される。該回路はA、B両ポートの出力が一致していない時は常に出力[BUSYバー (B)]が「H」であり、両ポートの出力が一致し、且つ[WE (A) バー]が「L」であるときのみ出力[BUSYバー (B)]が「L」となる。この[BUSYバー (B)]はCPUに印加され、Bポートの書き込み・読出し動作を停止する。なお、第1図のBUSY回路には

同様に、先着Bポートのアドレスが書き込みのときAポートの書き込み・読出し停止信号[BUSYバー (A)]を供給する回路を備える。該回路は第3図において、[WE (A) バー]を[WE (B) バー]に置き換えることにより得られる。

第4図に、本実施例の動作波形図を示しており、(τ_3)の期間[BUSYバー (B)]が「L」になる。本実施例において、このCPUの動作を停止する τ_3 の期間は、従来例のアドレスの一致期間 τ_2 の半分 $\tau_2/2$ にすることが可能である。したがって、データ出力[D OUT (B)]に新データが出力することを禁止する期間は、従来例よりそれだけ短縮され、システムの稼働率が向上する。

以上、本発明について実施例を示したが、本発明がこれに限らず、特許請求の範囲において種々変更可能であり、デュアルポート以上の多ポートRAMに対しても適用できることは明らかである。

(発明の効果)

以上のように、本発明によれば、複数のポートのアクセスが競合する場合の出力データ不定が外部に出力することが防止できる。しかも、従来の複数のポートのアドレスが一致している期間はCPUの動作を停止する方式に比較して、システムの稼働率を向上することが可能になる。

4. 図面の簡単な説明

第1図は本発明の概念を説明するための動作波形図、第2図は本発明の実施例の全体構成図、第3図は本発明の実施例の(BUSY回路)の構成図、第4図は本発明の実施例の動作波形図、第5図は従来例及び本発明実施例のメモリセル部分の構成図、第6図は従来例1のメモリの全体図、第7図は従来例1の動作波形図、第8図は従来例2のメモリの動作波形図である。

A (A) . . . Aポートのアドレス

A (B) . . . Bポートのアドレス

(WE (A) バー) , (WE (B) バー)

· · · · A, Bポートの書込み信号

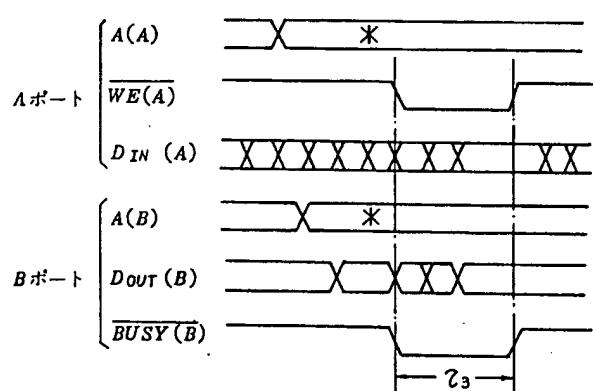
DIN (A) , DIN (B) · · · A, Bポートのデータ入力

DOUT (A) , DOUT (B) · · · A, Bポートのデータ出力

21 · · · BUSY回路

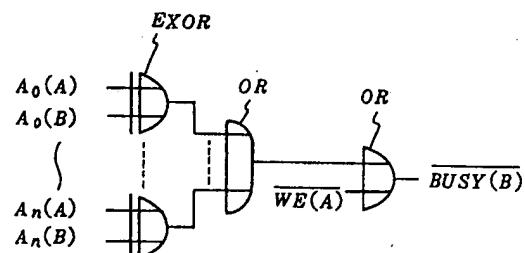
特許出願人 富士通株式会社

代理人 弁理士 玉蟲久五郎 (外1名)



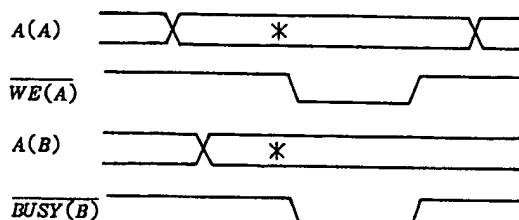
本発明の概念を説明するための動作波形図

第 1 図



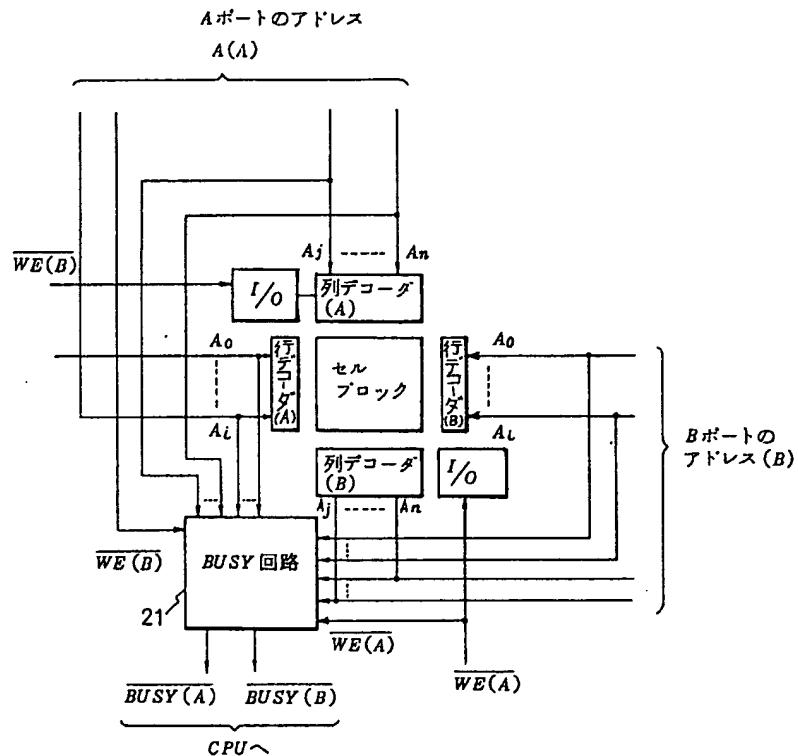
BUSY回路の構成例を示す図

第 3 図



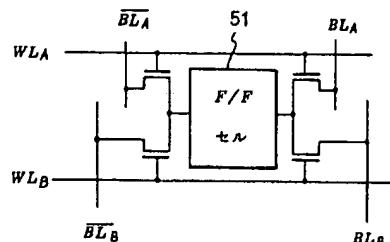
実施例の動作波形図

第 4 図



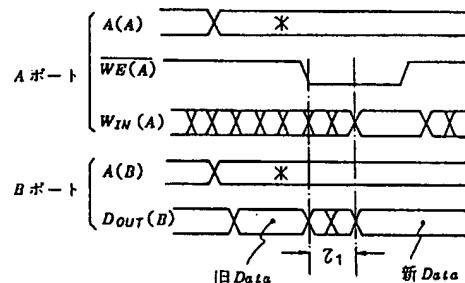
本発明の実施例の全体構成図

第 2 図



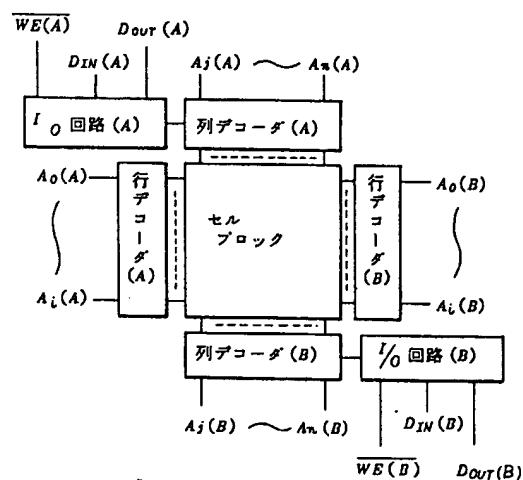
従来例及び本発明例のメモリセル部分図

第 5 図



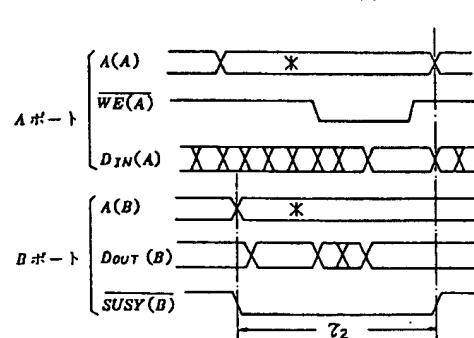
従来例 1 の波形図

第 7 図



従来例 1 の全体図

第 6 図



従来例 2 の波形図

第 8 図